

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP5275619
Publication date: 1993-10-22
Inventor(s): HOZUMI HIROKI
Applicant(s): SONY CORP
Requested Patent: ☐ JP5275619
Application Number: JP19920098802 19920324
Priority Number(s):
IPC Classification: H01L27/04
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent a polysilicon layer from oxidation by a method wherein, after impurities have been ion-implanted into the polysilicon layer in the state that it is masked by a nitride film, the impurities are activated by annealing.

CONSTITUTION: An SiO insulating film 2, which becomes the base layer of a thin film polysilicon resistor, is formed on the surface of a semiconductor substrate 1, and a polysilicon layer 3, which becomes the thin film polysilicon resistor, is formed by CVD. Then, a resist film 5 is formed on the polysilicon layer 3, and after a patterning operation has been conducted by etching using the film 5 as a mask, the resist film 5 is removed, and then a nitride film 8 is formed. After the impurities such as boron and the like have been ion-implanted into the polysilicon layer 3 through a nitride film 8, the resist film is removed, and after an SiO₂ interlayer insulating film 6 has been formed, the impurities in the polysilicon layer 3 are activated by annealing in an N₂ atmosphere.

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-275619

(43) 公開日 平成5年(1993)10月22日

(51) Int.Cl.⁵

H 0 1 L 27/04

識別記号

庁内整理番号

F I

技術表示箇所

P 8427-4M

審査請求 未請求 請求項の数 2 (全 6 頁)

(21) 出願番号

特願平4-98802

(22) 出願日

平成4年(1992)3月24日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 保積 宏紀

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(74) 代理人 弁理士 尾川 秀昭

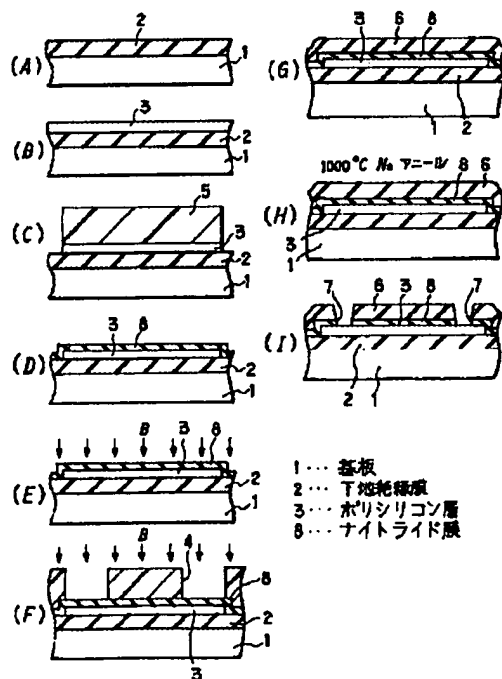
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 薄膜ポリシリコン抵抗を有する半導体装置の製法において、アニール時にポリシリコン層が酸化されて薄膜ポリシリコン抵抗の抵抗値が変動することを防止する。

【構成】 ポリシリコン層3上をナイトライド膜8でマスクした状態で該ポリシリコン層3に該ナイトライド膜8越しに不純物をイオン打込みをし、その後、この不純物の活性化のためのアニールをする。

第1の実施例を工程順に示す断面図



【特許請求の範囲】

【請求項1】 下地となる絶縁膜上に形成された薄膜ポリシリコン抵抗となるポリシリコン層上をナイトライド膜でマスクした状態で該ポリシリコン層に該ナイトライド膜越しに不純物をイオン打込みし、

その後、上記不純物の活性化のためのアニールをすることを特徴とする半導体装置の製造方法

【請求項2】 下地となる絶縁膜上に形成された薄膜ポリシリコン抵抗となるポリシリコン層をCVDにより全面的に形成し、

上記ポリシリコン層を選択的エッチングによりパターニングし、

パターニングされた上記ポリシリコン層を覆うナイトライド膜をCVDにより形成し、

上記ナイトライド膜越しに上記ポリシリコン層に不純物をイオン打込みし、

その後、上記不純物の活性化のためのアニールをすることを特徴とする半導体装置の製造方法

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法、特に薄膜ポリシリコン抵抗を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来、LSI回路内の抵抗としては、プロセスの簡単化の面から例えばn型等の半導体基板中にそれと逆導電型の不純物を拡散することにより形成した拡散抵抗が多く用いられてきた。しかし、近年、半導体基板の絶縁膜上にポリシリコン層を設け、これを抵抗とした薄膜ポリシリコン抵抗がLSI中の抵抗として用いられる傾向が強くなりつつある。

【0003】 その理由は、第1に薄膜ポリシリコン抵抗の方が拡散抵抗に比して抵抗値の温度依存性が小さいこと、第2にセルフバイアス効果やバックバイアス効果がないことにある。図6(A)乃至(H)は薄膜ポリシリコン抵抗の製造方法の従来例を工程順に示す断面図である。先ず、同図(A)に示すように半導体基板1上に絶縁膜(下地絶縁膜)2を形成した後、同図(B)に示すように絶縁膜2上にポリシリコン層(厚さ500~2000オングストローム)3をCVDにより形成し、次に、同図(C)に示すようにポリシリコン層3に不純物、例えばボロンBをイオン打込みし、所望の抵抗値(例えば面抵抗1~5kΩ/□)が得られるようにする。

【0004】 次に、同図(D)に示すように、レジスト膜4でポリシリコン層3を電極となる部分を除きマスクした状態でイオン打込みすることによりポリシリコン層3の電極となる部分の不純物濃度を高くする。その後、レジスト膜4を除去し、しかる後、同図(E)に示すように、ポリシリコン層パターニング用のマスクとするレ

ジスト膜5を形成し、該レジスト膜5をマスクとしてポリシリコン層3を選択的にエッチングすることによりパターニングする。その後、レジスト膜5を除去(例えば、プラズマアッシング及びH₂SO₄を用いた加水洗浄することにより行う)し、次いで同図(F)に示すように、層間絶縁膜(SiO₂)6をCVDにより形成し、その後、同図(G)に示すように、N₂雰囲気での加熱処理(温度1000℃)によりアニールする。その後、同図(H)に示すように、層間絶縁膜6の選択的エッチングによりコンタクトホール7、7を形成する。その後は、図示しないが電極を形成する。

【0005】

【発明が解決しようとする課題】 ところで、従来の半導体装置の製造方法によれば、薄膜ポリシリコン抵抗の抵抗値のパラツキが大きい(±20%)という問題があった。そこで、その原因を追究したところ、図6(G)に示すN₂アニールの際に微量でも酸素ガスO₂の巻き込みがあると酸素ガスO₂が表面の絶縁膜6を介してポリシリコン層3に達し、更にグレインに沿って侵入して酸化し、シート抵抗値の変動をもたらすことが判明した。

【0006】 本発明はこのような問題点を解決すべく為されたものであり、アニール時にポリシリコン層が酸化されて薄膜ポリシリコン抵抗の抵抗値が変動することを防止することを目的とする。

【0007】

【課題を解決するための手段】 請求項1の半導体装置の製造方法は、薄膜ポリシリコン抵抗となるポリシリコン層上をナイトライド膜でマスクした状態で該ポリシリコン層に該ナイトライド膜越しに不純物をイオン打込みをし、その後、該不純物の活性化のためのアニールをすることを特徴とするものである。請求項2の半導体装置の製造方法は、ポリシリコン層をCVDにより全面的に形成し、該ポリシリコン層を選択的エッチングによりパターニングし、該ポリシリコン層を覆うナイトライド膜をCVDにより形成し、該ナイトライド膜越しに上記ポリシリコン層に不純物をイオン打込みし、その後、該不純物の活性化のためのアニールをすることを特徴とするものである。

【0008】

【作用】 請求項1の半導体装置の製造方法によれば、アニール時にポリシリコン層上に耐酸化性を有しシリコン酸化膜に比較して膜質が緻密なナイトライド膜が形成されているので、ポリシリコン層への酸素O₂の侵入をナイトライド膜によって防止することができる。従って、ポリシリコン層の酸化を防止し、延いては酸化による抵抗値の変動を防止することができる。請求項2の半導体装置の製造方法によれば、ポリシリコン層のパターニング後にナイトライド膜を形成するので、パターニングされたポリシリコン層の上面のみならず側面までがナイトライド膜によって覆われた状態にでき、その状態でアニ

3

ールするので、ポリシリコン層の上面及び側面に酸素が侵入するのをナイトライド膜によって有効に防止することができる。依って、より有効にポリシリコン層の酸化を防止し、延いては酸化による抵抗値の変動をより小さくすることができる。

【0009】

【実施例】以下、本発明半導体装置の製造方法を図示実施例に従って詳細に説明する。図1 (A) 乃至 (I) は本発明半導体装置の製造方法の一つの実施例を工程順に示す断面図である。

(A) 図1 (A) に示すように、半導体基板1の表面に薄膜ポリシリコン抵抗の下地となる SiO_2 ：からなる絶縁膜2を例えばCVDあるいは熱酸化により形成する。

(B) 次に、同図 (B) に示すように薄膜ポリシリコン抵抗となるポリシリコン層 (厚さ100~300 nm) 3をCVDにより形成する。CVD温度は例えば600~750℃である。

【0010】 (C) 次に、ポリシリコン層3上にレジスト膜5を選択的に形成し、同図 (C) に示すように、ポリシリコン層3を該レジスト膜5をマスクとしてエッチング (RIE) することによりパターンニングする。このパターンは例えば図2に示すとおりである。

(D) その後、レジスト膜5を除去し、しかる後、図2 (D) に示すようにナイトライド膜8を形成する。このナイトライド膜8の形成は、減圧CVD (処理温度例えば550~900℃) により行う。反応ガスとして供給するのは、例えば SiN_4 、 $-NH_3$ 、 $-H_2$ の如き混合ガスである。

【0011】 (E) 次に、図2 (E) に示すように、ナイトライド膜8越しに不純物、例えばボロンBをポリシリコン層3にイオン打込みする。イオン打込み量 (ドーズ量) は例えば $\sim 10^{14}/cm^2$ 程度であり、例えば1~5 Ω/\square のシート抵抗を得る。

(F) 次に、図2 (F) に示すように、ナイトライド膜8上においてポリシリコン層3の電極形成部以外の領域を、選択的に形成したレジスト膜4でマスクし、その状態でボロンBをイオン打込みする。これは電極のコンタクト抵抗の低減を図るために行う。

【0012】 (G) 次に、レジスト膜4を除去し、その後、図1 (G) に示すように、CVDにより SiO_2 ：からなる層間絶縁膜6を形成する。

(H) その後、ポリシリコン層3中の不純物 (本実施例においてはボロン) を活性化するために、図1 (H) に示すようにN₂ 雰囲気でのアニールを行う。処理温度は例えば1000℃ (850~1200℃が良い。)、処理時間は例えば30分である。尚、バイポーラICを製造する場合にはこのポリシリコン層3中の不純物の活性化と、エミッタの不純物の活性化を同じアニール工程により行うことができる。

【0013】 (I) その後、図1 (I) に示すように、

4

電極取り出し用のコンタクトホール7、7を層間絶縁膜6、ナイトライド膜8に形成する。しかる後、図示しないが例えばアルミニウムからなる電極を形成する。

【0014】 このような半導体装置の製造方法によれば、ポリシリコン層3を形成し、更にこれをパターンニングした後、もともと耐酸化性を有しシリコン酸化膜に比較して緻密な材質を有するナイトライド膜8で覆った後、ポリシリコン層3への不純物ドーピングを行い、その活性化のアニールを行うので、アニール時にはポリシリコン層3の上面及び側面がナイトライド膜8により完全に覆われた状態になっている。

【0015】 従って、アニール時にN₂ 雰囲気中に酸素ガスO₂ が多少巻き込まれたとしても、ポリシリコン層3の上面及び側面がナイトライド膜8により完全に覆われた状態になっているので、ポリシリコン層3への酸素ガスO₂ の侵入を阻むことができる。依って、巻き込みによりポリシリコン層3が酸化されてその抵抗値が変わることを防止することができる。

【0016】 また、本半導体装置の製造方法によれば、不純物のイオン打込み後においてポリシリコン層3表面が露出した状態でレジスト形成、レジスト除去を行わない。即ち、レジスト形成、レジスト除去は不純物 (導電性不純物ではなく汚染物という意味での不純物) コンタミネーションの原因となり、それによっても抵抗値が微妙に変動し得るが、しかし、イオン打込みの前の段階でポリシリコン層3の上面、側面がナイトライド膜8によりマスクされているので、そのようなコンタミネーションを防止することができ、その点でも抵抗値の変動をより小さくすることができる。

【0017】 また、活性化アニールの状態ではポリシリコン層3は下地である絶縁膜2からだけでなく、ポリシリコン層3上を覆うナイトライド膜8からもグレイン成長が生じるので、ポリシリコンのグレインサイズは従らに大きくなる可能性が少なくなる。従って、グレインサイズのバラツキによって生じる抵抗値のバラツキは小さくて済む。また、緻密なナイトライド膜8がポリシリコン層3を完全に覆っているため、ポリシリコン層3のグレイン成長を抑制する働きを持つ。その結果としてもグレインサイズが従らに大きくなるのが制約される。これも抵抗値のバラツキを小さくする要素となる。

【0018】 尚、図2は形成された薄膜ポリシリコン抵抗の平面図である。同図において、9は図1では図示しなかったアルミニウム電極である。ところで、薄膜ポリシリコン抵抗の抵抗値は薄膜ポリシリコン抵抗となるポリシリコン層3の形状、大きさ、厚さが同じならば、ポリシリコン層3に打込まれた不純物の濃度によって決まるが、それは、イオン打込み量とイオン打込みエネルギーとによって決まる。即ち、イオン打込み量 (ドーズ量) が同じでもイオン打込みエネルギーが異なるとポリシリコン層3中に入る不純物の総量が異なり、延いては

50

5

薄膜ポリシリコン抵抗の抵抗値が異なる。図3はイオン打込み量（ドーズ量）が同じでもイオン打込みエネルギーが異なるとポリシリコン層3中に入る不純物の総量が異なることを示す不純物濃度プロファイルである。

【0019】図4（A）乃至（C）は本発明半導体装置の製造方法の第2の実施例の要部を工程順に示す断面図である。本半導体装置の製造方法は、ポリシリコン層3のCVD及びナイトライド膜8のCVDを終了後不純物のイオン打込みをし、その後、ナイトライド膜8及びポリシリコン層3をパターニングし、その後、アニールするものである。具体的に説明すると次のとおりである。

【0020】（A）基板1上の下地絶縁膜2の上にポリシリコン層3をCVDにより形成した後、ナイトライド膜8をCVDにより形成し、そして、図4（A）に示すようにナイトライド膜8越しにポリシリコン層3に不純物をイオン打込みする。

（B）次に、図4（B）に示すように、選択的に形成されたレジスト膜5をマスクとしてナイトライド膜8及びポリシリコン層3をエッチングすることによりポリシリコン層3のパターニングを行う。

（C）その後、図4（C）に示すように層間絶縁膜6を形成した状態で活性化のためのアニールを行う。

【0021】本半導体装置の製造方法によっても図1に示す半導体装置の製造方法の場合と同様の効果を奏する。ただ、パターニングされたポリシリコン層3の側面がナイトライド膜8によっては覆われていない状態でアニールされるので、ポリシリコン層3側面が巻き込み酸素 O_2 によって酸化される虞れがあり、酸化防止効果は図1に示す半導体装置の製造方法の場合程は完璧ではないといえる。

【0022】図5（A）、（B）は本発明半導体装置の製造方法の第3の実施例の要部を工程順に示す断面図である。本実施例はポリシリコン層3の不純物の活性化のためのアニール後にポリシリコン層3のパターニングを行うものである。具体的に説明すると次のとおりである。

【0023】（A）下地絶縁膜2上にCVDによりポリシリコン層3を形成し、該ポリシリコン層3上にナイトライド膜8をCVDにより形成し、その後、ポリシリコン層3への不純物のイオン打込みをし、しかる後、図5（A）に示すように不純物活性化のためのアニールを行う。

（B）次いで、図5（B）に示すように、選択的に形成したレジスト膜5をマスクとするナイトライド膜8及びポリシリコン層3に対するRIEによりポリシリコン層3のパターニングをする。本半導体装置の製造方法によっても図1に示す半導体装置の製造方法の場合と同様の効果を奏する。

【0024】尚、上記各実施例においてはポリシリコン層3のRIEによるパターニングを行っていた。しかし

6

ながら、必ずしもそのようにすることは不可欠ではなく、ナイトライド膜8越しにポリシリコン層3への不純物を選択的に導入する工程を増やすことにより、例えばn型領域中に選択的にp型領域を形成し、該p型領域により薄膜ポリシリコン抵抗を形成するようにしても良い。勿論、その逆に、ポリシリコン層3のp型領域中に選択的にn型領域を形成し、該p型領域により薄膜ポリシリコン抵抗を形成するようにしても良いことはいうまでもない。このように、本発明半導体装置の製造方法は種々の態様で実施することができる。

【0025】

【発明の効果】請求項1の半導体装置の製造方法は、下地となる絶縁膜上に形成された薄膜ポリシリコン抵抗となるポリシリコン層上をナイトライド膜でマスクした状態で該ポリシリコン層に該ナイトライド膜越しに不純物をイオン打込みをし、その後、該不純物の活性化のためのアニールをすることを特徴とするものである。従って、請求項1の半導体装置の製造方法によれば、アニール時にポリシリコン層上に耐酸化性を有し膜質が緻密なナイトライド膜が形成されているので、ポリシリコン層への酸素 O_2 の侵入をナイトライド膜によって抑止することができる。従って、ポリシリコン層の酸化を防止し、延いては酸化による抵抗値の変動を防止することができる。

【0026】請求項2の半導体装置の製造方法は、下地となる絶縁膜上に形成された薄膜ポリシリコン抵抗となるポリシリコン層をCVDにより全面的に形成し、該ポリシリコン層を選択的エッチングによりパターニングし、パターニングされた上記ポリシリコン層を覆うナイトライド膜をCVDにより形成し、該ナイトライド膜越しに上記ポリシリコン層に不純物をイオン打込みし、その後、該不純物の活性化のためのアニールをすることを特徴とするものである。従って、請求項2の半導体装置の製造方法によれば、ポリシリコン層のパターニング後にナイトライド膜を形成するので、パターニングされたポリシリコン層の上面のみならず側面がナイトライド膜によって覆われた状態にでき、その状態でアニールするので、ポリシリコン層の上面及び側面に酸素が侵入するのをナイトライド膜によって有効に防止することができ、より有効にポリシリコン層の酸化を防止し、延いては酸化による抵抗値の変動を防止することができる。

【図面の簡単な説明】

【図1】（A）乃至（I）は本発明半導体装置の製造方法の第1の実施例を工程順に示す断面図である。

【図2】形成された薄膜ポリシリコン抵抗の平面図である。

【図3】不純物をイオン打込みした場合の不純物濃度分布プロファイル図である。

【図4】（A）乃至（C）は本発明半導体装置の製造方法の第2の実施例の要部を示す断面図である。

7

8

【図5】(A)、(B)は本発明半導体装置の製造方法の第3の実施例の要部を示す断面図である。

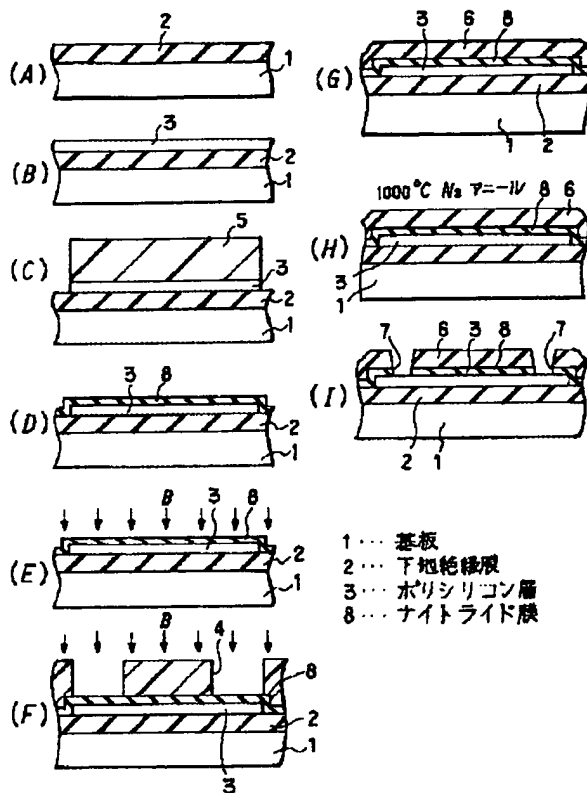
【図6】(A)乃至(H)は従来例を工程順に示す断面図である。

【符号の説明】

- 1 半導体基板
- 2 下地絶縁膜
- 3 ポリシリコン層
- 8 ナイトライド膜

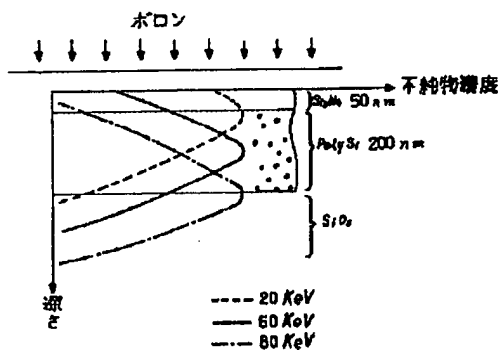
【図1】

第1の実施例を工程順に示す断面図



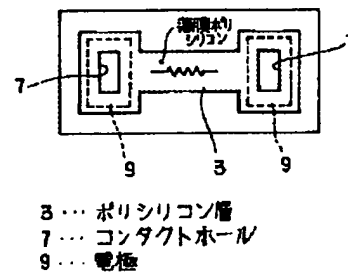
【図3】

不純物濃度プロファイル図



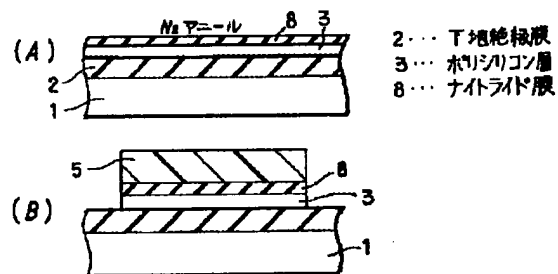
【図2】

薄膜ポリシリコン抵抗の平面図



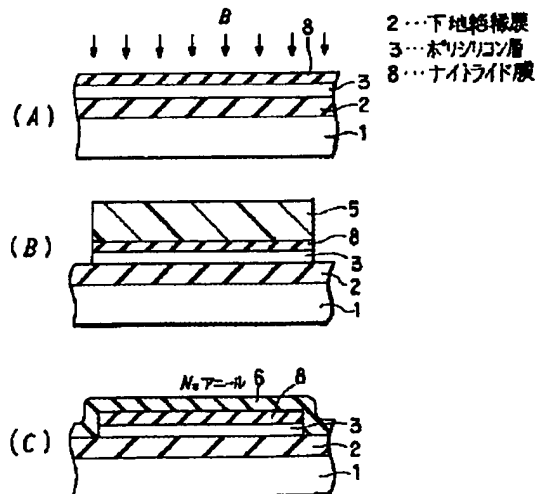
【図5】

第3の実施例を工程順に示す断面図



【図4】

第2の実施例を工程順に示す断面図



【図6】

従来例を工程順に示す断面図

